

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150680

(43)Date of publication of application : 30.05.2000

(51)Int.Cl. H01L 21/8247
 H01L 29/788
 H01L 29/792
 H01L 27/115

(21)Application number : 10-322034

(71)Applicant : FUJITSU LTD

(22)Date of filing : 12.11.1998

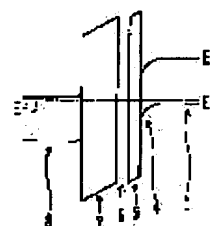
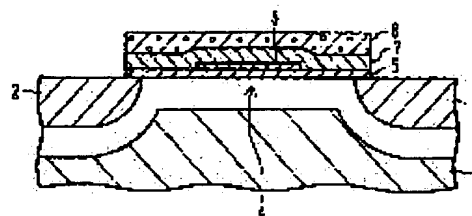
(72)Inventor : USUKI TATSUYA
FUTAKI TOSHIRO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a high capacity low voltage semiconductor memory by selecting the material of floating gate electrode and channel region such that the Fermi level of a floating gate electrode is located in the band gap of the channel region under a state where no voltage is applied externally.

SOLUTION: A floating gate electrode 6 of 10 nm thick is arranged on the surface of a tunnel insulating film 5. The floating gate electrode 6 is formed of a high melting point metal, e.g. TiN, selected such that the Fermi level E_f of a floating gate is located between the conductive band lower end E_c and the valence band upper end E_v of a channel region 4, i.e., in the band gap. Consequently, the surface layer in the channel region 4 is depleted when no voltage is applied to a control gate electrode 8. When a voltage is applied to the control gate electrode 8, carriers tunnel through the tunnel insulating film 5 directly and thereby writing and erasure can be effected at a relatively low voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

0

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-150680

(P2000-150680A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト*(参考)	
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1	5 F 0 0 1
29/788		27/10	4 3 4	5 F 0 8 3
29/792				
27/115				

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21)出願番号 特願平10-322034

(22)出願日 平成10年11月12日(1998. 11. 12)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 白杵 達哉

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 二木 俊郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100091340

弁理士 高橋 敬四郎

最終頁に続く

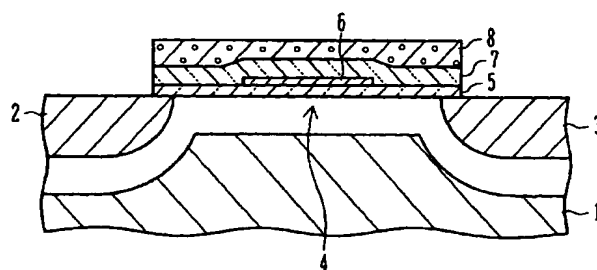
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 大容量化、低電圧化を図ることが可能な半導体記憶装置を提供する。

【解決手段】 チャネル領域の両側にソース/ドレイン領域が形成されている。チャネル領域上に、キャリアがトンネルできる厚さのトンネル絶縁膜が形成されている。トンネル絶縁膜の上にフローティングゲート電極が形成されている。基板法線方向から見たとき、フローティングゲート電極はソース/ドレイン領域に重ならない。フローティングゲート電極を覆うようにゲート絶縁膜が形成されている。ゲート絶縁膜の上にコントロールゲート電極が形成されている。コントロール電極は、基板法線方向から見たとき、ソース/ドレイン領域に接するかまたは部分的に重なる。チャネル領域とコントロールゲート電極との間に電圧を印加しない状態のときに、フローティングゲート電極のフェルミ準位がチャネル領域の禁制帯の中に位置する。

第1の実施例



- | | |
|-------------|-----------------|
| 1: p型シリコン基板 | 5: トンネル絶縁膜 |
| 2: ソース領域 | 6: フローティングゲート電極 |
| 3: ドレイン領域 | 7: ゲート絶縁膜 |
| 4: チャネル領域 | 8: コントロールゲート電極 |

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の表面層のチャネル領域の両側に形成された第1導電型のソース領域及びドレイン領域と、
前記半導体基板の前記チャネル領域上に形成され、キャリアがトンネル現象により移動することができる厚さを有するトンネル絶縁膜と、
前記トンネル絶縁膜の上に形成したフローティングゲート電極であって、基板法線方向から見たとき、該フローティングゲート電極が前記ソース領域及び前記ドレイン領域のいずれにも重ならないように配置されている前記フローティングゲート電極と、
前記フローティングゲート電極を覆うように、前記チャネル領域の上方に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上に形成されたコントロールゲート電極であって、基板法線方向から見たとき、該コントロールゲート電極が前記ソース領域及びドレイン領域に接するかまたは部分的に重なるように配置された前記コントロールゲート電極とを有し、前記チャネル領域と前記コントロールゲート電極との間に外部から電圧を印加しない状態のときに、前記フローティングゲート電極のフェルミ準位が前記チャネル領域の禁制帯の中に位置するように、前記フローティングゲート電極及びチャネル領域の材料が選択されている半導体記憶装置。

【請求項2】 前記チャネル領域が、前記第1導電型とは反対の第2導電型のシリコンで形成されている請求項1に記載の半導体記憶装置。

【請求項3】 前記フローティングゲート電極が、高融点金属で形成されている請求項2に記載の半導体記憶装置。

【請求項4】 前記フローティングゲート電極が、p型不純物を添加されたゲルマニウムもしくはシリコンゲルマニウムで形成されている請求項2に記載の半導体記憶装置。

【請求項5】 前記フローティングゲート電極が、第1導電型の不純物を添加されたシリコンで形成されている請求項2に記載の半導体記憶装置。

【請求項6】 前記チャネル領域の表面層の不純物濃度が、該チャネル領域の深層部の不純物濃度よりも高い請求項5に記載の半導体記憶装置。

【請求項7】 前記フローティングゲート電極と前記ソース領域との間隔、及び前記フローティングゲート電極と前記ドレイン領域との間隔が、キャリアがトンネル現象により移動できない距離とされている請求項1～6のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、新たな動作原理に基づく半導体記憶装置に関する。代表的な半導体記憶装置として、ダイナミックランダムアクセスメモリ（DRAM）が知られている。DRAMは、1つのMISFETと1つのキャパシタからなる1メモリセルに1ビットの情報を記憶する。DRAMにおいては、メモリセルの微細化及び大容量化が進んでいるが、より大容量化を図ることが可能な半導体記憶装置が望まれている。

【0002】

【従来の技術】 さらなる大容量化を図ることが可能な半導体記憶装置として、フラッシュメモリが注目されている。フラッシュメモリは、1つのMISFETのみで1つのメモリセルを構成するため、大容量化に適している。

【0003】 フラッシュメモリでは、フローティングゲート型FETのフローティングゲート電極へキャリアを注入することにより情報を記憶する。フローティングゲート電極に注入されたキャリアを保持するために、フローティングゲート電極とチャネル領域との間の絶縁膜の厚さは8nm程度以上とされる。この絶縁膜を通したフローティングゲート電極へのキャリアの注入は、チャネルとフローティングゲート電極間に高電圧を印加することにより行う。両者間に高電圧を印加すると、ファウラノルドハイムトンネル（FLトンネル）現象により、キャリアがフローティングゲート電極に注入される。

【0004】

【発明が解決しようとする課題】 FLトンネル現象を利用してキャリアをフローティングゲート電極に注入するためには、10～20V程度の電圧が必要とされる。このため、低電圧化、低消費電力化を図ることが困難である。

【0005】 本発明の目的は、大容量化、低電圧化を図ることが可能な半導体記憶装置を提供することである。

【0006】

【課題を解決するための手段】 本発明の一観点によると、半導体基板と、前記半導体基板の表面層のチャネル領域の両側に形成された第1導電型のソース領域及びドレイン領域と、前記半導体基板の前記チャネル領域上に形成され、キャリアがトンネル現象により移動することができる厚さを有するトンネル絶縁膜と、前記トンネル絶縁膜の上に形成したフローティングゲート電極であって、基板法線方向から見たとき、該フローティングゲート電極が前記ソース領域及び前記ドレイン領域のいずれにも重ならないように配置されている前記フローティングゲート電極と、前記フローティングゲート電極を覆うように、前記チャネル領域の上方に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたコントロールゲート電極であって、基板法線方向から見たとき、該コントロールゲート電極が前記ソース領域及びドレイン領域に接するかまたは部分的に重なるように配置された前記コントロールゲート電極とを有し、前記チャネル領域と前記コントロールゲート電極との間に外部から電圧を印加しない状態のときに、前記フローティングゲート電極の

フェルミ準位が前記チャネル領域の禁制帯の中に位置するように、前記フローティングゲート電極及びチャネル領域の材料が選択されている半導体記憶装置が提供される。

【0007】コントロールゲート電極とソース／ドレイン領域との間に電圧を印加すると、チャネル領域内のキャリアがトンネル絶縁膜をトンネルしてフローティングゲート電極に注入される。フローティングゲート電極に注入されたキャリアは、そのフェルミ準位近傍の準位を占める。フローティングゲート電極のフェルミ準位が、チャネル領域の禁制帯の中に位置するため、注入された電子はトンネル現象によってチャネル領域に移動できない。このため、フローティングゲート電極に、電子を長時間蓄積することができる。

【0008】

【発明の実施の形態】図1は、本発明の第1の実施例による半導体メモリ装置の1メモリセル部分の断面図を示す。

【0009】p-型シリコン基板1の表面層のチャネル領域4の両側に、n型のソース領域2及びドレイン領域3が形成されている。p-型シリコン基板の不純物濃度は、例えば $5 \times 10^{15} \text{ cm}^{-3}$ である。チャネル長、すなわちソース領域2とドレイン領域3との間隔は、例えば150nmである。チャネル領域4の表面上に、 SiO_2 からなる厚さ2～3nmのトンネル絶縁膜5が形成されている。トンネル絶縁膜5の厚さは、キャリアがトンネル現象により移動することができる程度の厚さである。

【0010】トンネル絶縁膜5の表面上に、厚さ10nmのフローティングゲート電極6が配置されている。フローティングゲート電極6は、TiN等の高融点金属で形成されている。フローティングゲート電極6は、基板法線方向から見たとき、ソース領域2及びドレイン領域3のいずれにも重ならないように配置されている。例えば、フローティングゲート電極6のソース領域2側の縁とソース領域2のチャネル領域4側の縁との間隔、及びフローティングゲート電極6のドレイン領域3側の縁とドレイン領域3のチャネル領域4側の縁との間隔は、50nmである。

【0011】トンネル絶縁膜5及びフローティングゲート電極6を覆うように、 SiO_2 からなる厚さ6～10nmのゲート絶縁膜7が形成されている。ゲート絶縁膜7の表面上に、n+型ポリシリコンからなるコントロールゲート電極8が形成されている。トンネル絶縁膜5、ゲート絶縁膜7、及びコントロールゲート電極8からなる積層構造のソース領域2とドレイン領域3側の周縁部は、基板法線方向から見たとき、ソース領域2及びドレイン領域3に接するか、または部分的に重なるように配置されている。

【0012】コントロールゲート電極8に電圧を印加し

ていない状態のとき、チャネル領域4の表面層部分は空乏化している。なお、p-型シリコン基板1とソース領域2との界面及びp-型シリコン基板1とドレイン領域3との界面にも空乏層が形成されている。

【0013】次に、図2を参照して、図1に示す第1の実施例による半導体メモリ装置の動作原理を説明する。

【0014】図2(A)は、コントロールゲート電極8に電圧を印加していないときのエネルギーバンド図を示す。チャネル領域4のバンド端が下方に曲がり、チャネル領域4の表面層が空乏化している。フローティングゲート電極6のフェルミ準位 E_f が、チャネル領域4の伝導帯下端 E_c と価電子帯上端 E_v との間、すなわち禁制帯の中に位置している。

【0015】図2(B)は、書込時のエネルギーバンド図を示す。コントロールゲート電極8に、ソース／ドレイン領域に対して正の電圧を印加する。例えば、コントロールゲート電極8に+5Vの電圧を印加する。フローティングゲート電極6とチャネル領域4との間に約1.5V程度の電位差が発生する。この電位差により、チャネル領域4の表面に反転層が形成される。この反転層内の電子が、トンネル現象によりフローティングゲート電極6に注入される。注入された電子は、フローティングゲート電極6のフェルミ準位近傍のエネルギー準位を占める。

【0016】図2(C)は、情報保持状態におけるエネルギーバンド図を示す。フローティングゲート電極6に電子が蓄積されているため、図2(A)の状態に比べて、フローティングゲート電極6の電位が下がる。このため、チャネル領域4の表面のバンド端の曲がりが少なくなっている。図2(C)の場合は、図2(A)の場合に比べて、フローティングゲート型FETのしきい値が大きくなる。この2つの状態のしきい値の違いを検出することにより、記憶された情報を読み出すことができる。

【0017】図2(C)の状態において、フローティングゲート電極6のフェルミ準位は、チャネル領域4の禁制帯の中に位置する。このため、フェルミ準位近傍のエネルギーを持つ電子が、トンネル現象によりチャネル領域4内に移動することはない。また、チャネル領域4の表面には、正孔がほとんど存在しないため、正孔がチャネル領域4からフローティングゲート電極6に注入されることもない。

【0018】図1において、フローティングゲート電極6の両端とソース／ドレイン領域2及び3との間には、キャリアがトンネルできない程度の間隔が確保されている。このため、フローティングゲート電極6に蓄積された電子が、トンネル現象によりソース／ドレイン領域2及び3に移動することもない。従って、フローティングゲート電極6内に電子が長時間保持される。すなわち、フローティングゲート電極6の両端の各々とソース／ドレイン領域2及び3との間隔を、トンネル絶縁膜5の厚

さよりも広くしておく必要がある。

【0019】図2(D)は、消去時のエネルギーバンド図を示す。コントロールゲート電極8に、ソース/ドレイン領域に対して負の電圧を印加する。例えばソース/ドレイン領域に0Vを印加し、コントロールゲート電極8に-5Vを印加する。チャネル領域4の表面に蓄積層が形成される。この蓄積層内の正孔が、トンネル現象によりフローティングゲート電極6に注入される。正孔の注入により、フローティングゲート電極6に蓄積されていた電荷が中和される。コントロールゲート電極8への電圧の印加を停止すると、図2(A)の状態に戻る。

【0020】図2(B)に示す書込時、及び図2(D)に示す消去時に、キャリアがトンネル絶縁膜5をダイレクトトンネリングする。FNトンネル現象を利用していないため、比較的低電圧で書込及び消去を行うことができる。

【0021】次に、図1に示す半導体メモリ装置の製造方法を説明する。p⁻型シリコン基板1の表面に素子分離構造体を形成し、活性領域を画定する。活性領域の表面を熱酸化し、トンネル絶縁膜5を形成する。トンネル絶縁膜5の上に、TiN膜を堆積し、パターンニングすることにより、フローティングゲート電極6を形成する。TiN膜の堆積は、例えば反応性スパッタリング、または化学気相成長(CVD)により行うことができる。

【0022】トンネル絶縁膜5及びフローティングゲート電極6の上に、SiO₂からなるゲート絶縁膜7をCVDにより堆積する。ゲート絶縁膜7の上に、n⁺型ポリシリコンからなるコントロールゲート電極8をCVDにより堆積する。コントロールゲート電極8からトンネル絶縁膜5までの積層構造をパターンニングし、図1に示すトンネル絶縁膜5からコントロールゲート電極8までのメサ構造を形成する。

【0023】このメサ構造をマスクとしてリンイオンを注入することにより、ソース/ドレイン領域2及び3を形成する。このようにして、図1に示すフローティングゲート型FETが形成される。

【0024】上記第1の実施例では、フローティングゲート電極6を高融点金属で形成した場合を説明した。次に、フローティングゲート電極6を、p型Geで形成した第1の実施例の変形例について説明する。なお、p型Geの代わりにp型SiGeを用いてもよい。装置構成は、図1に示す第1の実施例の構成と同様である。

【0025】Ge膜の堆積は、例えばGeH₄を用いた減圧CVDにより行うことができる。また、SiH₄とGeH₄を用いることにより、SiGe膜を堆積することができる。p型導電性の付与は、成膜後にボロンをイオン注入することにより行ってもよいし、成膜中にB₂H₆ガスを導入することにより行ってもよい。これらの成膜方法については、例えばIEEEエレクトロニクスデバイス誌第18巻第9号(1997年9月)の45

6~458頁(IEEE Electron Device Letters, Vol.18, No.9, Sep. 1997, pp.456-458)に説明されている。

【0026】図3(A)は、電圧無印加時のエネルギーバンド図を示す。Geの価電子帯上端のエネルギー準位は、Siの価電子帯上端のエネルギー準位よりも約0.5eV程度高い。このため、p型Geのフェルミ準位は、チャネル領域4の禁制帯のほぼ中間に位置する。

【0027】図3(B)は、書込時のエネルギーバンド図を示す。図2(B)の場合と同様にコントロールゲート電極8に、ソース/ドレイン領域に対して正の電圧を印加する。チャネル領域4からフローティングゲート電極6に電子が注入される。注入された電子は、フェルミ準位近傍の準位、すなわち価電子帯上端近傍のエネルギー準位を占める。

【0028】図3(C)は、情報保持状態におけるエネルギーバンド図を示す。フローティングゲート電極6に電子が蓄積されているため、図3(A)の状態に比べて、フローティングゲート電極6の電位が下がる。図2

(C)の場合と同様に、フローティングゲート型FETのしきい値が変化する。

【0029】フローティングゲート電極6に注入された電子は、価電子帯上端近傍のエネルギーを有する。このエネルギー準位は、チャネル領域4の禁制帯の中に位置するため、この電子のチャネル領域4への移動は起こらない。従って、図2(C)の場合と同様に、フローティングゲート電極6内に電子が保持される。

【0030】図3(D)は、消去時のエネルギーバンド図を示す。コントロールゲート電極8に、ソース/ドレイン領域に対して負の電圧を印加する。図2(D)の場合と同様に、チャネル領域4からフローティングゲート電極6に正孔が注入され、フローティングゲート電極6の負電荷が中和される。

【0031】このように、フローティングゲート電極6にp型Geを用いた場合にも、第1の実施例の場合と同様に、半導体メモリ装置として機能する。フローティングゲート電極6にp型SiGeを用いた場合にも、同様の機能が得られる。

【0032】上記第1の実施例及びその変形例では、フローティングゲート電極6に注入された電子を保持することにより、情報を記憶する。電子の保持時間を長くするためには、図2(C)及び図3(C)の保持状態において、フローティングゲート電極6のフェルミ準位がチャネル領域4の表面における禁制帯の中に位置することが望ましい。さらには、電圧無印加時におけるフローティングゲート電極6のフェルミ準位をE_{f0}、チャネル領域4の表面における伝導帯下端のエネルギーをE_c、価電子帯上端のエネルギーをE_vとしたとき、

【0033】

【数1】 $(E_c - E_{f0}) \geq 0.4 \text{ eV}$ かつ $(E_f$

$$0 - E_v) \geq 0.4 \text{ eV}$$

となるように、チャネル領域4、フローティングゲート電極6、及びコントロール電極8の材料を選択することが好ましい。 E_c と E_{fo} との差、及び E_{fo} と E_v との差が0.4 eV以上ある場合には、室温(300 K)の熱エネルギーを有するキャリアに対しても、このエネルギー差が十分なポテンシャルバリアとして機能する。

【0034】ただし、真性シリコンのように、フェルミ準位が禁制帯のほぼ中央に位置するような半導体材料をフローティングゲート電極6に用いることは好ましくない。第1の実施例の変形例で用いたp型Geのように、フェルミ準位の近傍に電子のとり得るエネルギー準位が存在することが好ましい。室温の熱エネルギーを有するキャリアは、 $E_{fo} + 50 \text{ meV}$ のエネルギー準位の状態で、十分大きな確率で存在することができる。従って、フローティングゲート電極6の材料として、 $E_{fo} \pm 50 \text{ meV}$ の範囲内に電子のとり得るエネルギー準位が存在するものを選択することが好ましい。

【0035】次に、図4及び図5を参照して、第2の実施例について説明する。上記第1の実施例では、フローティングゲート電極6として、高融点金属、p型Ge、またはp型SiGeを使用した。第2の実施例では、フローティングゲート電極6としてn型ポリシリコンを使用する。

【0036】図4は、第2の実施例による半導体メモリ装置の1つのメモリセル部分の断面図を示す。基本構成は、図1に示す第1の実施例による半導体メモリ装置と同様であるため、相違点についてのみ説明する。図4の半導体メモリ装置の各構成部分には、図1の対応する構成部分と同一の参照番号が付されている。

【0037】第2の実施例の場合には、チャネル領域4の表面層4aの不純物濃度が、基板深層部の不純物濃度よりも高くされている。例えば表面層4aの不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。フローティングゲート電極6は、リンを添加されたn型ポリシリコンで形成されている。フローティングゲート電極6の不純物濃度は、例えば $1 \times 10^{20} \text{ cm}^{-3}$ である。

【0038】表面層4aは、トンネル絶縁膜5を形成する前に、例えばボロンをイオン注入することにより形成される。ポリシリコン膜の堆積は、 SiH_4 を用いたCVDにより行うことができる。

【0039】次に、図5を参照して、第2の実施例による半導体メモリ装置の動作原理について説明する。

【0040】図5(A)は、コントロールゲート電極8に電圧を印加していないときのエネルギーバンド図を示す。チャネル領域4の表面近傍において、バンド端が下方に曲がっている。フローティングゲート電極6のフェルミ準位は、チャネル領域4の禁制帯の中に位置する。

【0041】図5(B)は、情報書込時のエネルギーバンド図を示す。コントロールゲート電極8にソース/ドレ

イン領域2及び3に対して正の電圧を印加する。チャネル領域4の表面に反転層が形成される。反転層内の電子がトンネル現象によりフローティングゲート電極6に注入される。注入された電子は、フェルミ準位近傍の準位、すなわち伝導帯下端近傍のエネルギー準位を占める。

【0042】図5(C)は、情報を保持している状態のエネルギーバンド図を示す。フローティングゲート電極6に蓄積された負電荷のため、その電位が低下する。フローティングゲート電極6の電位の低下により、チャネル領域4の表面におけるバンド端の曲がりが少なくなる。このため、図5(C)の状態のフローティングゲート型FETのしきい値は、図5(A)の状態のしきい値よりも大きくなる。

【0043】フローティングゲート電極6のフェルミ準位が、チャネル領域4の禁制帯の中に位置する。さらに、チャネル領域4の表面の不純物濃度を高くしてあるため、チャネル領域4とフローティングゲート電極6との電位差のうち大部分がトンネル絶縁膜5に加わる。

【0044】トンネル絶縁膜5の両側に大きな電位差が発生するため、チャネル領域4の表面には、フローティングゲート電極6の伝導帯下端に過剰に蓄積された電子のエネルギー準位に対応するエネルギー準位が存在しない。このため、フローティングゲート電極6内に注入された電子は、トンネル現象によりチャネル領域4内へ移動することができない。電子がチャネル領域4に移動しないため、注入された電子をフローティングゲート電極6内に長時間保持することができる。

【0045】図6は、チャネル領域4の表面の不純物濃度を深層部に比べて高くしていない場合の、情報保持状態のエネルギーバンド図を示す。チャネル領域4の不純物濃度が比較的低いため、フローティングゲート電極6とチャネル領域4との間の電位差が、チャネル領域4の深層部にまで加わる。

【0046】トンネル絶縁膜5に加わる電圧が少なくなるため、フローティングゲート電極6の伝導帯下端よりもやや高い位置に、チャネル領域4の伝導帯下端が位置することになる。このため、フローティングゲート電極6の伝導帯下端近傍に過剰に蓄積された電子がトンネル現象によりチャネル領域4内に移動しやすくなる。フローティングゲート電極6に蓄積された電子がチャネル領域4に移動すると、記憶された情報が消滅してしまう。

【0047】チャネル領域4の表面層の不純物濃度を、その深層部の不純物濃度よりも高くしておくことにより、情報を長時間保持することができる。なお、基板全体の不純物濃度を高くしておいても、図5(C)のようにトンネル絶縁膜5に多くの電圧が加わる。しかし、基板の不純物濃度を高くすることは、ソース/ドレイン領域2及び3と基板間とのリーク電流の増大の要因になるため、好ましくない。

【0048】図5(D)は、情報消去時のエネルギーバン

ド図を示す。フローティングゲート電極 8 にソース／ドレイン領域 2 及び 3 に対して負の電圧を印加する。図 2

(D) に示す第 1 の実施例及び図 3 (D) に示す第 1 の実施例の変形例の場合には、チャンネル領域 4 からフローティングゲート電極 6 内に正孔を注入することにより電荷を中和した。第 2 の実施例の図 5 (C) の状態では、チャンネル領域 4 の価電子帯上端のエネルギー準位が、フローティングゲート電極 6 の禁制帯の中に位置する。

【0049】このため、フローティングゲート電極 6 にわずかな負電圧を印加しただけでは、チャンネル領域 4 からフローティングゲート電極 6 に正孔を注入することができない。フローティングゲート電極 6 に印加する負電圧を大きくし、チャンネル領域 4 とフローティングゲート電極 6 との価電子帯上端のエネルギー準位がほぼ等しくなった時点で、正孔の注入が始まる。しかし、この時、両者の伝導帯下端のエネルギー準位もほぼ等しくなる。このため、フローティングゲート電極 6 に過剰に蓄積されていた電子が、トンネル現象によりチャンネル領域 4 に移動する。

【0050】フローティングゲート電極 6 への正孔の注入よりも、チャンネル領域 4 への電子の移動の方が支配的となる。フローティングゲート電極 6 からチャンネル領域 4 への電子の移動により、情報が消去される。

【0051】また、第 2 の実施例では、フローティングゲート電極 6 にポリシリコンを使用する。このため、ダイナミックランダムアクセスメモリ (DRAM) 等の製造に用いられる通常のシリコンプロセスにより製造することができる。

【0052】図 7 は、上記第 1 及び第 2 の実施例による半導体メモリ装置の等価回路図を示す。相互に平行に配置された複数のゲート線 20 が図の横方向に延在する。相互に平行に配置された複数のソース線 21 及びドレイン線 22 が、図の縦方向に延在する。ソース線 21 とドレイン線 22 とは、交互に配置されている。

【0053】ソース線 21 とドレイン線 22 との一组とゲート線 20 との各交差箇所に、フローティングゲート型 FET 25 が配置されている。フローティングゲート型 FET 25 のコントロールゲート電極、ソース領域、及びドレイン領域は、それぞれ対応するゲート線 20、ソース線 21、及びドレイン線 22 に接続されている。すべてのゲート線 20 は、ゲート線制御回路 30 に接続され、すべてのソース線 21 及びドレイン線 22 は、ソース／ドレイン線制御回路 31 に接続されている。

【0054】特定のメモリセルに情報を書き込む方法を説明する。情報を書き込むべきメモリセルに対応するソース線 21 及びドレイン線 22 に電圧 0 V を印加し、対応するゲート線 20 に電圧 ($+V_{\text{write}}$) を印加する。選択されないソース線 21 及びドレイン線 22 には、電圧 ($+V_{\text{write}}$) を印加し、選択されないゲート線 20 には、電圧 0 V を印加する。これらの電圧の印加は、ゲ

ート線制御回路 30 及びソース／ドレイン線制御回路 31 により行われる。

【0055】選択されたメモリセルのコントロールゲート電極とチャンネル領域間に電圧 V_{write} が印加され、情報が書き込まれる。選択されないメモリセルにおいては、ソース／ドレイン領域とチャンネル領域との間の p n 接合が逆バイアスされる。このため、図 1 に示すコントロールゲート電極 8 の端部とソース／ドレイン領域 2 及び 3 の先端との間に電界が集中し、フローティングゲート電極 7 とチャンネル領域 4 との間には大きな電圧が印加されない。従って、選択されていないメモリセルには、情報の書込が行われない。

【0056】情報を消去する場合には、ゲート線 20 に電圧 ($-V_{\text{write}}$) を印加する。電圧 ($-V_{\text{write}}$) が印加されたゲート線 20 に接続されているメモリセルにおいて、一括して情報の消去が行われる。

【0057】次に、情報を読み出す方法を説明する。情報を読み出すべきメモリセルのゲート線 20 に、消去状態におけるしきい値と書込状態におけるしきい値との中間の電圧 $+V_{\text{read}}$ を印加する。その他のゲート線 20 には電圧 0 V を印加しておき、すべてのメモリセルを非導通状態にしておく。読み出すべきメモリセルのソース線 21 とドレイン線 22 との間に電圧を印加し、流れる電流を検出する。情報が書き込まれている場合には電流が流れ、消去されている場合には電流がほとんど流れない。

【0058】上記実施例による半導体メモリ装置では、1つのメモリセルが、1つのフローティングゲート型 FET のみで構成されている。このため、高集積化を図ることが可能になる。

【0059】上記実施例では、p⁺ 型シリコン基板を使用し、n チャンネルのフローティングゲート型 FET を形成する場合を説明したが、n 型シリコン基板を使用し、p チャンネルのフローティングゲート型 FET を形成してもよい。この場合、ソース／ドレイン領域 2 及び 3 とコントロールゲート電極 8 との間に印加する電圧の極性を逆にする。また、第 2 の実施例の場合には、フローティングゲート電極 6 を p 型ポリシリコンで形成する。なお、コントロールゲート電極 8 の導電型は、基板と同一導電型とすることが好ましい。

【0060】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0061】

【発明の効果】以上説明したように、本発明によれば、比較的低電圧で情報の書き込み及び消去を行うことができる。また、1つのフローティングゲート型 FET で 1つのメモリセルを構成するため、高集積化を図ることが可能になる。

【図面の簡単な説明】

【図1】第1の実施例による半導体メモリ装置の1つのメモセル部分の断面図である。

【図2】第1の実施例による半導体メモリ装置の動作原理を説明するためのエネルギーバンド図である。

【図3】第1の実施例の変形例による半導体メモリ装置の動作原理を説明するためのエネルギーバンド図である。

【図4】第2の実施例による半導体メモリ装置の1つのメモセル部分の断面図である。

【図5】第2の実施例による半導体メモリ装置の動作原理を説明するためのエネルギーバンド図である。

【図6】第2の実施例による半導体メモリ装置のチャネル領域の不純物濃度を低くした場合の、情報保持状態におけるエネルギーバンド図である。

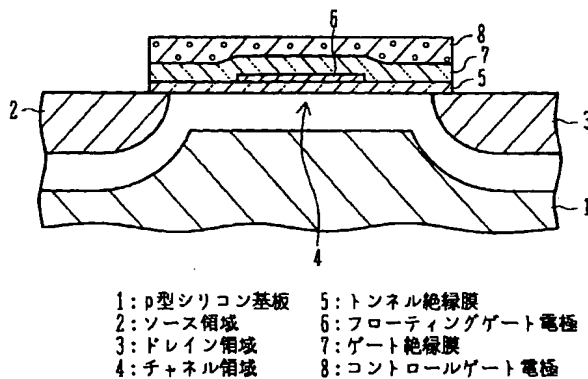
【図7】本発明の実施例による半導体メモリ装置の等価回路図である。

【符号の説明】

- 1 p-型シリコン基板
- 2 ソース領域
- 3 ドレイン領域
- 4 チャネル領域
- 5 トンネル絶縁膜
- 6 フローティングゲート電極
- 7 ゲート絶縁膜
- 8 コントロールゲート電極
- 20 ゲート線
- 21 ソース線
- 22 ドレイン線
- 25 フローティングゲート型FET
- 30 ゲート線制御回路
- 31 ソース/ドレイン線制御回路

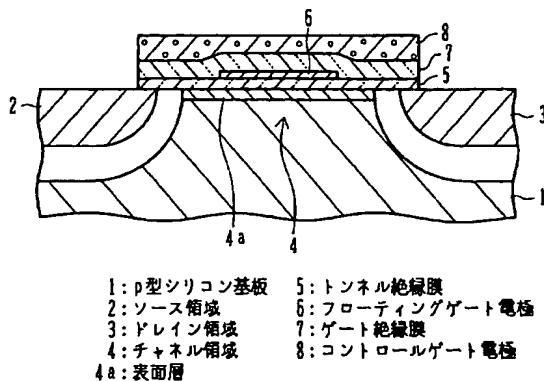
【図1】

第1の実施例



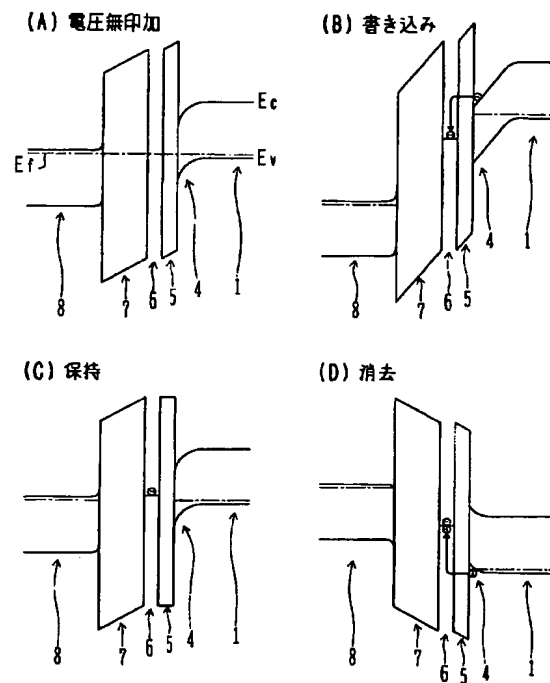
【図4】

第2の実施例



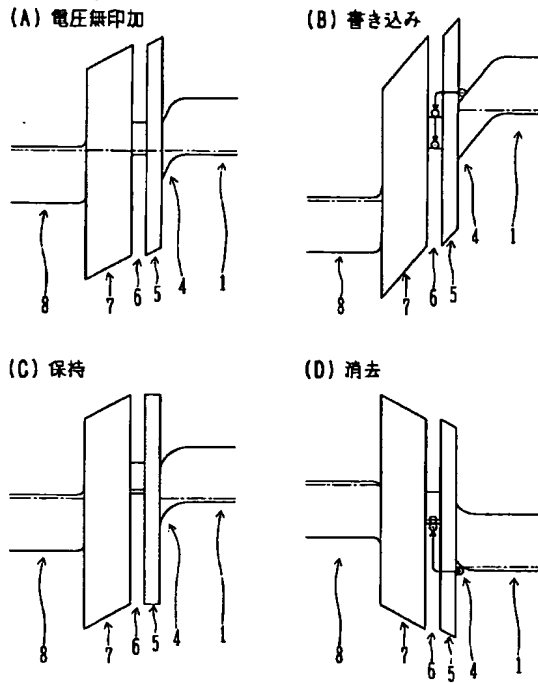
【図2】

第1の実施例



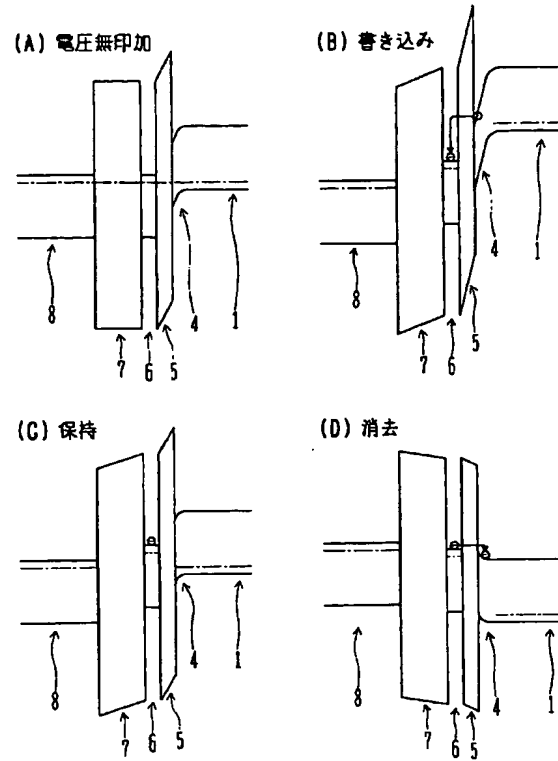
【図3】

第1の実施例の変形例

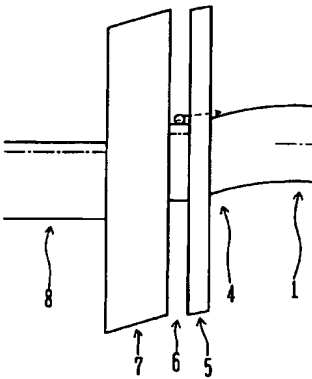


【図5】

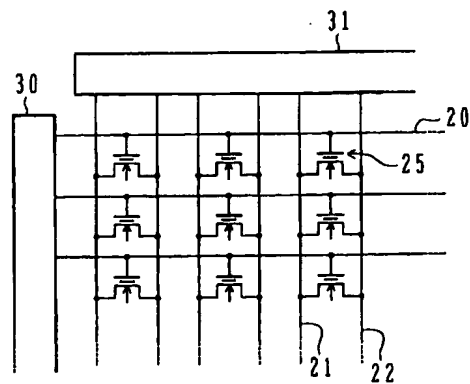
第2の実施例



【図6】



【図7】



フロントページの続き

Fターム(参考) 5F001 AA04 AA08 AA22 AB02 AC01
AD22 AF10
5F083 EP03 EP25 EP26 ER03 ER21
GA05 GA09 JA31 JA39 JA40